

(19)日本国特許庁 ( J P )

(12) 公開特許公報 ( A ) (11)特許出願公開番号

特開2001 - 340291

(P2001 - 340291A)

(43)公開日 平成13年12月11日(2001.12.11)

(51) Int. Cl <sup>7</sup>	識別記号	F I	テ-マ-コ-ド* (参考)
A 6 1 B 1/04	362	A 6 1 B 1/04	J 2 H 0 4 0
	372		4 C 0 6 1
G 0 2 B 23/24		G 0 2 B 23/24	B 5 C 0 2 0
H 0 4 N 5/04		H 0 4 N 5/04	Z 5 C 0 2 2
5/225		5/225	C 5 C 0 2 4

審査請求 未請求 請求項の数 40 L (全 8 数) 最終頁に続く

(21)出願番号 特願2000 - 165579(P2000 - 165579)

(22)出願日 平成12年6月2日(2000.6.2)

(71)出願人 000000527

旭光学工業株式会社

東京都板橋区前野町2丁目36番9号

(72)発明者 高見 敏

東京都板橋区前野町2丁目36番9号 旭光学

工業株式会社内

(74)代理人 100090169

弁理士 松浦 孝

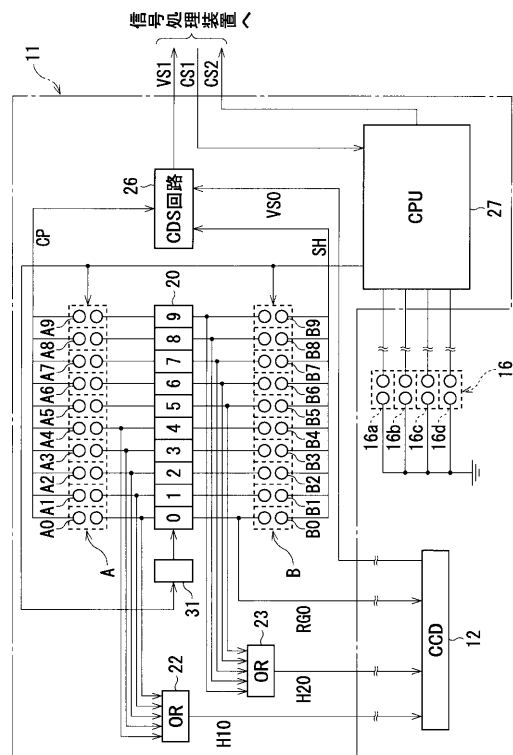
最終頁に続く

(54)【発明の名称】 電子内視鏡の映像信号サンプルパルス生成装置

(57)【要約】

【課題】 挿入部の長さが異なる電子内視鏡において常に適正なタイミングでサンプリングを行うサンプルパルスを生成する。

【解決手段】 シフトカウンタ20にクロック31からのクロックパルスを入力し0~9の値の範囲において循環的に繰り返し計数する。各係数値0~9に対応する端子にスイッチ群A、BのスイッチA0~A9、B0~B9を接続する。設定用スイッチ群16のオン・オフによる4ビットデータに基づいてスイッチ群A、Bのオン・オフを設定する。スイッチ群AをCDS回路26のクランプパルス入力端子に、スイッチ群BをCDS回路26のサンプルホールド入力端子に接続する。0~4、5~9の端子の出力を水平レジスタ転送クロックH10、H20に用い、0の端子の出力をリセットゲートクロックRGOとして用いる。シフトカウンタの各計数値に対応した端子のみに計数値に合わせて信号を出力する。



## 【特許請求の範囲】

## 【請求項1】 撮像素子と、

前記撮像素子において得られる映像信号をサンプリングするためのサンプリング回路と、

前記撮像素子を駆動するための撮像素子駆動パルス生成する撮像素子駆動パルス生成手段と、

周期的なクロックパルスを発生するクロックと、

所定の数の出力端子を備え、前記クロックパルスが発生する毎にそのパルス数を計数し、前記計数が前記所定の数の範囲で循環的に繰り返し行われ、前記計数における各計数値と前記出力端子とが1対1に対応し、前記計数値に対応する前記出力端子のみに信号を出力するシフトカウンタと、

前記出力端子の各々に接続されたスイッチからなる第1のスイッチ群と、

前記出力端子の各々に接続されたスイッチからなる第2のスイッチ群と、

前記第1及び第2のスイッチ群の各スイッチのオン・オフの設定を行うための設定用スイッチ群と、

前記設定用スイッチ群のオン・オフ状態で表わされる2進データに基づいて前記第1及び第2のスイッチ群の各スイッチのオン・オフ設定を行うスイッチ設定手段とを備え、

前記撮像素子駆動パルス生成手段が、前記シフトカウンタの所定の出力端子から出力される信号に基づいて前記撮像素子駆動パルスを生成し、前記サンプリング回路のサンプリングを制御する少なくとも2つのサンプルパルスが、前記スイッチ設定手段によるオン状態に設定された前記第1及び第2のスイッチ群それぞれからの出力に基づくものであることを特徴とする電子内視鏡の映像信号サンプルパルス生成装置。

【請求項2】 前記サンプリング回路が相関二重サンプリング回路であり、前記サンプルパルスがクランプパルス及びサンプルホールドパルスであり、前記クランプパルス及び前記サンプルホールドパルスの一方が前記第1のスイッチ群から出力され、他方が前記第2のスイッチ群から出力されることを特徴とした請求項1に記載のサンプルパルス生成装置。

【請求項3】 前記撮像素子駆動パルスが前記出力端子の1つから出力される信号、または複数の出力端子から出力される信号の論理和であり、前記撮像素子駆動パルスが複数の出力端子から出力される信号の論理和であるとき、前記出力端子が前記計数の循環において連続する計数値に対応することを特徴とする請求項1に記載のサンプルパルス生成装置。

【請求項4】 前記撮像素子がCCD撮像素子であり、前記撮像素子駆動パルスの1つがCCD水平レジスタ転送クロックであり、前記CCD水平レジスタ転送クロックが前記所定の数の半分の数の出力端子から出力される信号の論理和であり、前記出力端子が前記計数の循環に

おいて連続する計数値に対応することを特徴とする請求項1に記載のサンプルパルス生成装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、電子内視鏡に設けられ、映像信号のサンプリングのタイミングを調整する回路に関する。

## 【0002】

【従来の技術】近年医療分野では、電子内視鏡（電子スコープ）を用いた診療が広く行われている。電子内視鏡は、映像信号の処理などを行う信号処理装置（プロセッサ）やTVモニタなどの画像表示装置とともに用いられる。電子内視鏡は信号処理装置に装着され、電子内視鏡の先端において撮像された映像は、信号処理装置を介して画像表示装置に伝送され表示される。電子内視鏡の種類は多様であり、目的に応じ様々なものが使用される。しかし、電子内視鏡毎に個別に信号処理装置を設けることは無駄が多いため、信号処理の方法が同じ電子内視鏡では、信号処理装置が共有される。

【0003】撮像素子（CCD:charge coupled device）は電子内視鏡の挿入部の先端に設けられるが、挿入部の先端は小型であることが望ましい。したがって、CCDの制御信号を出力するCCD駆動回路やCCDからの映像信号をサンプルホールドするための相関二重サンプリング（CDS:correlated double sampling）回路は、電子内視鏡の外部装置である信号処理装置に設けられていた。制御信号がCCD駆動回路から出力され、その制御信号に基づく映像信号がCDS回路に到達するまでの伝搬遅延時間は、電子内視鏡の挿入部の長さに関連する。電子内視鏡の挿入部の長さは、1メートル未満のものから数メートルのものまでであるため、このときの伝搬遅延時間は映像信号の処理にとって無視できない大きさとなる。信号処理装置を共有する電子内視鏡であっても、電子内視鏡の挿入部の長さは目的に応じて様々であるため、挿入部の長さが異なるとCCDからの映像信号をCDS回路においてサンプルホールドするタイミングが異なり、適正なサンプリングを行えない。したがって、従来信号処理装置には、長さの異なる電子内視鏡それぞれに対応した遅延線が設けられていた。しかし、長さの異なる多くの電子内視鏡において信号処理装置を共有するには、信号処理装置に多数の遅延線を備える必要があるほか、装着された電子内視鏡に応じて遅延線の切り換えを行う必要があるため、その構成や処理が煩雑になるという問題があった。

【0004】この問題に対して、特許第2790948号には、相関二重サンプリング回路と相関二重サンプリング回路へ供給するクランプパルス、サンプルパルスの位相を変えることができる回路とを電子内視鏡の操作部または信号処理装置との接続部に設けた電子内視鏡装置が開示されている。特許第2790948号に開示され

た電子内視鏡装置において、クランプパルスおよびサンプルパルスの位相はポテンショメータを用いたRC回路の時定数を調節することによりアナログ的に調整される。しかし、ポテンショメータを用いる構成は回路の小型化に適さないという問題があるほか、アナログ回路は互いに近接して設ける必要があるため、ポテンショメータ、CCD駆動回路、CDS回路等は一体的に近接して配置される必要がある。また、位相調整が簡便に行なえるためには、ポテンショメータ(可変抵抗)を簡単に操作できる位置に設け、その保護カバー等も容易に着脱できる構成にする必要がある。しかし、このような配置・構成は、頻りに洗浄される電子内視鏡においては、ポテンショメータ、CCD駆動回路、CDS回路等の防水の点から問題がある。さらに、上述した回路の小型化の困難性、ポテンショメータの配置、カバー等の構成の問題は、電子内視鏡の操作部等の小型化、形状を制限し、操作性が重要である操作部の設計には大きな障害となる。また更に、ポテンショメータを用いた位相調整には、ポテンショメータの摘みを操作する必要があり調節操作は煩雑である。

#### 【0005】

【発明が解決しようとする課題】本発明は、上記問題に鑑みてなされたものであり、小型であり、回路配置の自由度が高く、位相調整が容易な電子内視鏡の映像信号サンプルパルス生成装置を得ることを目的としている。

#### 【0006】

【課題を解決するための手段】本発明の電子内視鏡の映像信号サンプルパルス生成装置は、撮像素子と、撮像素子において得られる映像信号をサンプリングするためのサンプリング回路と、撮像素子を駆動するための撮像素子駆動パルスを生成する撮像素子駆動パルス生成手段と、周期的なクロックパルスを発生するクロックと、所定の数の出力端子を備えクロックパルスが発生する毎にそのパルス数を計数し、計数が出力端子の数の範囲で循環的に繰り返して行われ、計数における各計数値と出力端子とが1対1に対応し、計数値に対応する出力端子のみに信号を出力するシフトカウンタと、出力端子の各々に接続されたスイッチからなる第1のスイッチ群と、出力端子の各々に接続されたスイッチからなる第2のスイッチ群と、第1及び第2のスイッチ群の各スイッチのオン・オフの設定を行うための設定用スイッチ群と、設定用スイッチ群のオン・オフ状態で表わされる2進データに基づいて第1及び第2のスイッチ群の各スイッチのオン・オフ設定を行うスイッチ設定手段とを備え、撮像素子駆動パルス生成手段が、シフトカウンタの所定の出力端子から出力される信号に基づいて撮像素子駆動パルスを生成し、サンプリング回路のサンプリングを制御する少なくとも2つのサンプルパルスが、スイッチ設定手段によるオン状態に設定された第1及び第2のスイッチ群それぞれからの出力に基づくものであることを特徴として

いる。

【0007】例えばサンプリング回路は、相関二重サンプリング回路であり、サンプルパルスがクランプパルス及びサンプルホールドパルスであり、クランプパルス及びサンプルホールドパルスの一方が第1のスイッチ群から出力され、他方が第2のスイッチ群から出力される。

【0008】例えば、撮像素子駆動パルスは、出力端子の1つから出力される信号、または複数の出力端子から出力される信号の論理和であり、撮像素子駆動パルスが複数の出力端子から出力される信号の論理和であるとき、出力端子は計数の循環において連続する計数値に対応する。また、例えば撮像素子はCCD撮像素子であり、撮像素子駆動パルスの1つはCCD水平レジスタ転送クロックであり、CCD水平レジスタ転送クロックは、出力端子の数の半分の数の出力端子から出力される信号の論理和であり、これらの出力端子は計数の循環において連続する計数値に対応する。

#### 【0009】

【発明の実施の形態】以下、本発明の実施の形態を図面を参照して説明する。図1は本発明の実施形態である電子内視鏡を備えた電子内視鏡システムの構成を概略的に示すブロック図である。

【0010】電子内視鏡10は、信号処理装置13に着脱自在に接続されており、信号処理装置13はTVモニタ15に接続されている。電子内視鏡10の操作部にはCCD駆動制御回路11が設けられ、挿入部の先端にはCCD(撮像素子)12が設けられている。また、CCD駆動制御回路11には例えばディップスイッチなどからなる設定用スイッチ群16が接続されており、設定用スイッチ群16は例えば電子内視鏡10の外殻付近の凹部に設けられ、着脱自在な水密キャップ17で保護されている。

【0011】信号処理装置13には、プロセス処理回路14が設けられている。CCD12は、CCD駆動制御回路11から出力されるCCD駆動パルス(CCD水平レジスタ転送クロック、リセットゲートクロック等)に基づいて動作し、例えば従来公知の面順次撮像方式により映像の検出が行われる。CCD12で検出された信号は、CCD駆動制御回路11内のCDS回路(図2参照)においてサンプリングされ、信号処理装置13のプロセス処理回路14へ映像信号VS1として送られる。

【0012】プロセス処理回路14では電子内視鏡10から出力された映像信号VS1の処理が行われる。すなわち映像信号VS1は、適度に増幅された後、映像帯域のフィルタリング処理、S/H処理、増幅処理、クランプ処理、クリップ処理、ガンマ処理等の前段信号処理が施され、デジタルの画像信号に変換される。デジタルの画像信号はRGB毎に一時的に画像メモリ(図示せず)に記憶され、RGBの画像信号が1組揃うと再びアナログ信号に変換されて後段信号処理が行われる。後段信号

処理では、フィルタリング処理、増幅処理、ガンマ処理、クランプ処理、クリップ処理、エンハンス処理、レベル調整等が行われ、例えばコンポジット映像信号など、規格化されたテレビジョン信号(TV信号)に変換されTVモニタ15へ出力される。

【0013】電子内視鏡10と信号処理装置13の間では、映像信号VS1のほかに信号CS1、CS2の送受信が行われる。信号CS1は、プロセス処理回路14から電子内視鏡10に出力される信号であり、CCDの駆動タイミングやカラーバランスの設定を行うためのデータなどである。一方、信号CS2は、CCD駆動制御回路11から信号処理装置13へ出力される信号であり、例えば、電子内視鏡の種類や電子内視鏡が信号処理装置13へ装着されたか否かを知らせるための装着信号などである。

【0014】また、工場出荷時やメンテナンスを行うときなど、CCD駆動パルスとCDS制御パルス(クランプパルス、サンプルホールドパルス)の出力タイミング、すなわち、CCD駆動パルスとCDS制御パルスとの相対的な位相を調整する際には、例えばCCD駆動パルスが出力されるCCD駆動制御回路11の出力端子aと検出された映像信号を入力するための入力端子bに、オシロスコープ(図示せず)を接続し、端子a、bにおいて検出される信号波形から電子内視鏡の伝搬遅延時間が算出される。オペレータは、オシロスコープを用いて算出された伝搬遅延時間に基づき、設定用スイッチ群16の各スイッチ16a~16d(図2参照)のオン・オフを設定する。これにより、CCD駆動パルスとCDS制御パルスの位相を調整することができる。

【0015】次に図2を参照して本実施形態のCCD駆動制御回路11について説明する。図2は、図1におけるCCD駆動制御回路11の概略的な回路構成を示したブロック図である。

【0016】CCD駆動制御回路11は、シフトカウンタ20、OR回路22、23、スイッチ群A、B、CDS回路26、CPU27、及びクロック31から構成される。また、CCD駆動制御回路11は、CCD12、4つのスイッチ16a~16dを備える設定用スイッチ群16、信号処理装置13のプロセス処理回路14に接続されている。

【0017】CCD12において検出された映像信号VS0は、CDS回路26においてサンプルホールドされ、映像信号VS1として信号処理装置13(図1参照)に出力される。CDS回路26は、CDS制御パルスであるクランプパルスCP及びサンプルホールドパルスSHにより制御される。クランプパルスCPは、10個のスイッチA0~A9からなるスイッチ群Aの中の1つのスイッチから出力され、サンプルホールドパルスSHは、10個のスイッチB0~B9からなるスイッチ群Bの中の1つのスイッチから出力される。

【0018】スイッチ群A、Bの各スイッチA0~A9、B0~B9は、それぞれシフトカウンタ20に接続されている。シフトカウンタ20に付された0~9までの番号は、シフトカウンタ20において計数されるカウント値に対応しており、シフトカウンタ20の機能を模式的に表わしている。シフトカウンタ20は、クロック31から出力される規則的なパルス信号(クロックパルス)の数を0から9までカウントし、現在のカウント値に対応する端子にパルス信号を出力する。カウント値が9に達するとまた0からのカウントを開始し、この循環的計数動作を繰り返す。

【0019】スイッチA0~A9及びスイッチB0~B9は、それぞれシフトカウンタ20のカウント値0~9に対応する端子に接続されている。したがって、シフトカウンタ20は、現在のカウント値に対応するスイッチにパルス信号を出力する。例えば、現在シフトカウンタ20においてカウント値が0であれば、カウント値0に対応するスイッチA0及びスイッチB0にパルス信号が出力される。その後カウント値が1になると、カウント値1に対応するスイッチA1及びスイッチB1にパルス信号が出力され、スイッチA0とスイッチB0に対するパルス信号の出力は終了する。以下同様にスイッチ群A、BのスイッチA2、B2~スイッチA9、B9に順次対毎にパルス信号が出力され、このパルス信号の出力動作は循環的に繰り返される。

【0020】クランプパルスCPは、スイッチ群Aの中でオン状態に設定されたスイッチを介してシフトカウンタ20から出力される。また、サンプルホールドパルスSHは、スイッチ群Bの中でオン状態に設定されたスイッチを介してシフトカウンタ20から出力される。スイッチ群A及びスイッチ群Bにおけるスイッチのオン・オフの設定は、設定用スイッチ群16での各スイッチ16a~16dのオン・オフ設定に基づいてCPU27により行われる。

【0021】設定用スイッチ群16に設けられたスイッチ16a~16d各々は、その一方の端子がCPU27の入力ポートの4つの端子にそれぞれ接続されており、もう一方の端子はアースされている。すなわち、4つのスイッチ16a~16dのオン・オフ設定はCPU27に対して4ビットデータとしての役割を果たしており、CPU27はこの4ビットデータに基づいてスイッチ群A、Bのオン・オフを設定する。なお、上記4ビットデータとスイッチ群A、Bにおけるオン・オフ設定との関係については後述する。

【0022】OR回路22は、シフトカウンタ20のカウント値0~4に対応する4つの端子に接続されており、これらの端子から出力されるパルス信号に対して論理和をとり、CCDにおける水平転送の駆動を制御する水平レジスタ転送クロックH10としてCCD12へ出力する。すなわち、水平レジスタ転送クロックH10

は、シフトカウンタ20のカウンタ値が0～4の期間はハイレベルで、カウンタ値が5～9の期間はローレベルの周期的なパルス信号となる。また、OR回路23は、シフトカウンタ20のカウンタ値が5～9に対応する4つの端子に接続されており、これらの端子から出力されるパルス信号に対して論理和をとり、水平レジスタ転送クロックH20としてCCD12へ出力する。すなわち、水平レジスタ転送クロックH20は、水平レジスタ転送クロック10の反転パルスであり、シフトカウンタ20のカウンタ値が0～4の期間はローレベルで、カウンタ値が5～9の期間はハイレベルの周期的なパルス信号である。また、シフトカウンタ20のカウンタ値0に対応する端子は、CCD12のリセットゲートクロックを入力するため端子に接続されており、カウンタ値0のときシフトカウンタ20から出力されるパルス信号は、リセットゲートクロックRG0としてCCD12へ出力される。

【0023】なお、クロック31はCPU27に接続されており、CPU27からの信号指令に基づいて制御される。また、CPU27と信号処理装置13のプロセ  
40 処理回路14(図1参照)とはコネクタ(図示せず)を介して接続されており、信号CS1と信号CS2の送受信が行なわれる。

【0024】次に図2、図3、図4を参照して本実施形態においてCCD駆動パルス及びCDS制御パルスを出力するためのパルス信号出力動作について説明する。

【0025】図3(a)、(b)は、OR回路22、23から出力されるCCD水平レジスタ転送クロックH10、H20をそれぞれ示しており、図3(c)は、リ  
30 セットゲートクロックRG0が出力されるタイミングを示している。また、図3(d)は、上記CCD水平レジスタ転送クロックH10、H20、及びリセットゲートクロックRG0が遅延無くCCDへ入力されたときにCCDから出力される映像信号VSを示している。期間Trは、リセットゲートクロックRG0のパルス幅に対応するリセット期間であり、期間Tfはリセット期間に確定したリセット雑音のみが出力されるフィードスルー期間である。また、期間Tsはリセット雑音とCCDの各画素で検出される画像(映像)信号が重畳して出力される映像信号出力期間である。  
40

【0026】シフトカウンタ20の繰り返し周期(0から9までカウントする期間)は、水平レジスタ転送クロックH10、H20の周期、すなわち映像信号のピクセルクロック期間Tp(例えば、69.8ns)に相当する。したがって、シフトカウンタ20の1カウントはTp/10であり、カウンタ値が0の期間出力されるリセットゲートクロックRG0のパルス幅(リセット期間Tr)は、Tp/10となる。

【0027】図3(e)は、電子内視鏡挿入部における伝搬遅延時間を考慮したときのCDS回路26に入力さ  
50

れる映像信号VS0を示しており、図3(d)に示された遅延を考慮しない映像信号VSよりも伝搬遅延時間Td分遅れている。すなわち、図3(e)に示された映像信号VS0は、CCD駆動制御回路11から出力されたCCD駆動パルス(図3(a)～(c)のパルス)がCCD12に到達し、CCD12から出力される映像信号がCSD回路26に達するまでの時間遅延されている。なお、図3(d)に示された1周期分の映像信号S0は、図3(e)に示された1周期分の映像信号S1に対応する。伝搬遅延時間Tdは、挿入部の長さが例えば2m強(信号線は往復で4m強)のとき約14nsである。ピクセルクロック期間Tpが69.8nsであるとすると、14nsはシフトカウンタ20の2カウント(14/69.8×10<sup>-2</sup>)の期間に相当する。

【0028】図4は、図3(d)に示された映像信号VS(遅延がないときの映像信号)とシフトカウンタ20のカウンタ値との関係を1周期分示したものである。図4において、例えば、シフトカウンタ20のカウンタ値が4のとき(リセット期間Trの開始からTc期間経過後)に信号をクランプし、カウンタ値が9のとき(リセット期間Trの開始からTs期間経過後)にサンプルホールドするのが、サンプリングのタイミングとして好適である場合、同様のタイミングで図3(e)に示された映像信号VS0(Td時間遅延された映像信号)に対してクランプ及びサンプルホールドを行おうとすれば、クランプパルスCP及びサンプルホールドパルスSHの出力タイミングを伝搬遅延時間Tdだけ遅らせなければならない。上述のように伝搬遅延時間Tdがシフトカウンタ20の2カウント分の期間に対応する場合、各信号の好適な出力タイミングは2カウント分遅れるので、クランプパルスCPの出力タイミングはカウンタ値が6のとき、サンプルホールドパルスSHの出力タイミングはカウンタ値が1のとき好適となる。すなわち、スイッチ群AではスイッチA6がオン状態に設定され、スイッチ群BではスイッチB1がオン状態に設定される。

【0029】図3(f)、図3(g)には、図3(e)の映像信号VS0に対するクランプパルスCP、及びサンプルホールドパルスSHの出力タイミングが示されている。すなわち、信号S2、S3は、図3(e)の信号S1に対するクランプパルス信号、及びサンプルホールド信号である。ここで、期間t1はTd+Tcであり7カウント分(カウンタ値0～6)の期間に対応している。また、期間t2はTd+Tsであり12カウント分(カウンタ値0～9及び次の周期の0～1)の期間に対応している。なお、パルス信号S4は1周期前の映像信号に対するサンプルホールドパルス信号となる。

【0030】以上の説明は、伝搬遅延時間Tdがピクセルクロック期間Tpよりも短い場合のパルス信号出力動作についてであるが、伝搬遅延時間がピクセルクロック期間Tpよりも長い場合のパルス信号出力動作について

も同様に行うことができる。次に、図5を参照して伝搬遅延時間がピクセルクロック期間 $T_p$ よりも長い場合のパルス信号出力動作について説明する。

【0031】図5は伝搬遅延時間 $T_d'$ が、ピクセルクロック期間 $T_p$ よりも $T_d$  ( $T_d < T_p$ ) 長いとき、すなわち $T_d' = T_p + T_d$ のときにCDS回路26に入力される映像信号 $V_0$ と、この映像信号をサンプリングするためのCDS制御パルスを表している。映像信号 $S_1'$ はリセットゲートクロック $RG_0$ 及び伝搬遅延時間 $T_d'$ だけ遅れた映像信号であり、パルス信号 $S_2'$ 、 $S_3'$ は、それぞれ映像信号 $S_1'$ に対するクランプパルス $CP$ 及びサンプルホールドパルス $SH$ である。パルス信号 $S_2'$ は $t_1'$ 時間遅れて出力され、パルス信号 $S_3'$ は $t_2'$ 時間遅れて出力される。ここで、 $t_1' = T_d' + T_c$ であり、 $t_2' = T_d' + T_s$ であるので、 $t_1' = T_p + T_d + T_c$ 、 $t_2' = T_p + T_d + T_s$ となる。クランプパルス $CP$ 及びサンプルホールドパルス $SH$ は周期 $T_p$ の周期的なパルス信号なので、期間 $t_1'$ 、 $t_2'$ 遅延されたクランプパルス $CP$ 及びサンプルホールドパルス $SH$ は、 $T_d + T_c$ 、 $T_d + T_s$ 遅延されたパルス信号にそれぞれ等しい。したがって、伝搬遅延時間 $T_d'$ がピクセルクロック期間 $T_p$ よりも $T_d$ 時間長いときには、 $T_d$  ( $< T_p$ ) を伝搬遅延時間として、これに対応するスイッチをオン状態に設定すればよい。すなわち、 $T_d$ が2カウントに対応するときには、スイッチA6とスイッチB1をオン状態に設定すれば良い。このとき、パルス信号 $S_5'$ 、 $S_4'$ は映像信号 $S_1'$ の1つ前の周期の映像信号に対するクランプパルス及びサンプルホールドパルスとなり、パルス信号 $S_6'$ は2周期前の映像信号に対するサンプルホールドパルスとなる。なお、伝搬遅延時間が2周期 ( $2T_p$ ) よりも長いときも同様である。

【0032】次に、設定用スイッチ群16のオン・オフの設定により表わされる4ビットデータとスイッチ群A、Bにおけるオン・オフの設定について説明する。

【0033】スイッチ群A、Bは、それぞれ10個のスイッチを備えるので、そのオン・オフの組み合わせは $2^{10}$ 通り存在する。しかし、1ピクセルクロック期間 $T_p$ において、リセット期間 $T_r$ の開始から信号をクランプまたはサンプルホールドするのに好適なタイミング $T_c$ 、 $T_s$  (図4参照) は一定であるため、伝搬遅延時間 $T_d$ に対応するクランプパルス $CP$ またはサンプルホールドパルス $SH$ の一方の出力タイミングが得られれば、他方の出力タイミングは自動的に得られる。また上述したように、これらのサンプルパルスの出力タイミングは、伝搬遅延時間 $T_d$ の長短に係らず、0~9のうちの何れかのカウント値に対応させることができるので、設定用スイッチ群16はクランプパルス $CP$ またはサンプルホールドパルス $SH$ の何れかの出力タイミングに対応

\*する0~9の10通りの設定を表現できればよく、4ビットデータあれば十分対応することができる。なお、設定用スイッチ群16が有するスイッチの数、すなわち設定用のデータビット数は、1ピクセルクロック期間の分割数や設定情報の内容などから必要に応じて増減可能であることは無論である。

【0034】以上のように、本実施形態によれば、シフトカウンタを用いて1ピクセルクロック期間を10等分することにより、任意の伝搬遅延時間を有する電子内視鏡に対応したCCD駆動パルス及びCDS制御パルスを出力できるCCD駆動制御回路を得られる。なお、本実施形態のシフトカウンタ20は、1ピクセルクロック期間 $T_p$ を10等分していたので、設定できる遅延時間の精度は $\pm T_p / 20$  ( $T_p / 10$ の $1/2$ ) である。しかし、1ピクセルクロック期間のカウント値を増やすことによりピクセルクロック期間 $T_p$ の分割数を増やせば、その精度を向上させることができる。すなわち、1ピクセルクロック期間 $T_p$ を $n$ 等分するシフトカウンタを用いれば、その精度を $\pm T_p / (2 \times n)$ にすることができる。なお、各パルス信号のパルス幅は、オン状態に設定されるスイッチの数で調整することができる。

【0035】また、本実施形態によれば、シフトカウンタとこれに接続されたスイッチ群のオン・オフの設定のみで任意の位相をもつクランプパルスと、サンプルホールドパルスを生成できるので、ポテンショメータ等を利用するアナログ回路に比べ、極めて簡略かつ小型の回路で異なる長さの電子内視鏡に対応することができる。また、位相調整は、スイッチ群のオン・オフの設定のみで行うことができ、この設定もディップスイッチ等により設定するなどの方法により簡便に調整することができ、ポテンショメータのようにオペレータが直接つまみ等を調整する必要がない。更に、本実施形態によれば、設定用スイッチ群のみ位相調整時に電子内視鏡の外部に露出できればよく、ポテンショメータを用いるアナログ回路に比べ、そのカバー部への設置の自由度が高い。すなわち、ポテンショメータを用いたアナログ回路では、機械的な構成が複雑なポテンショメータとCCD駆動回路やCDS回路などを距離を隔てて配置することはできないが、本実施形態の構成によれば、設定用スイッチ群は他の回路から隔てて設けても何ら問題がないので、自由な配置・設計が可能である。また、これにより、防水上の設計も容易となる。

【0036】

【発明の効果】以上により本発明によれば、小型であり、回路配置の自由度が高く、位相調整が容易な映像信号のサンプルパルス生成装置を得ることができる。

【図面の簡単な説明】

【図1】本発明の実施形態である電子内視鏡システムの回路構成を示すブロック図である。

【図2】図1に示されたブロック図におけるCCD駆動

制御回路の回路構成を示すブロック図である。

【図3】CCD駆動パルス、映像信号およびサンプルパルスのタイミングチャートである。

【図4】映像信号とシフトカウンタの計数値との対応を示す図である。

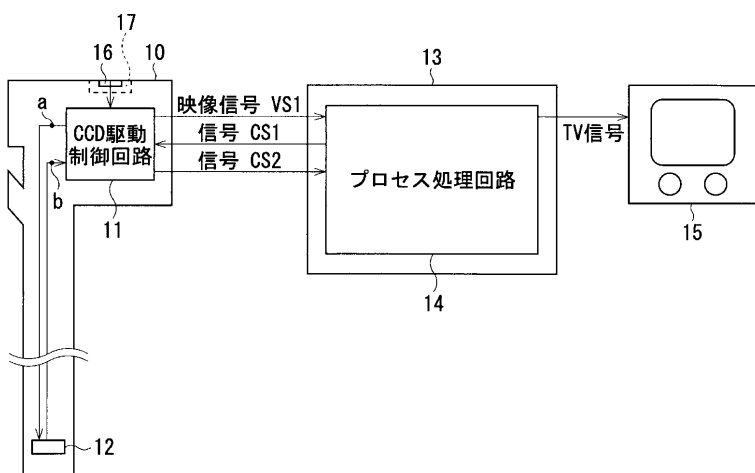
【図5】伝搬遅延時間が1ピクセルクロック期間を超えるとき映像信号とサンプルパルスのタイミングチャートである。

【符号の説明】

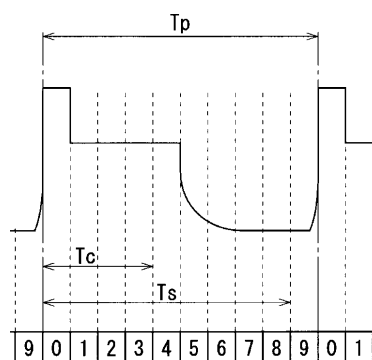
- 10 電子内視鏡
- 12 CCD

- \* 16 設定用スイッチ群
- 16a ~ 16d スイッチ
- 20 シフトカウンタ
- 22、23 OR回路
- 26 CDS回路
- 27 CPU
- 31 クロック
- A スイッチ群A
- B スイッチ群B
- 10 A0 ~ A9 スイッチ
- \* B0 ~ B9 スイッチ

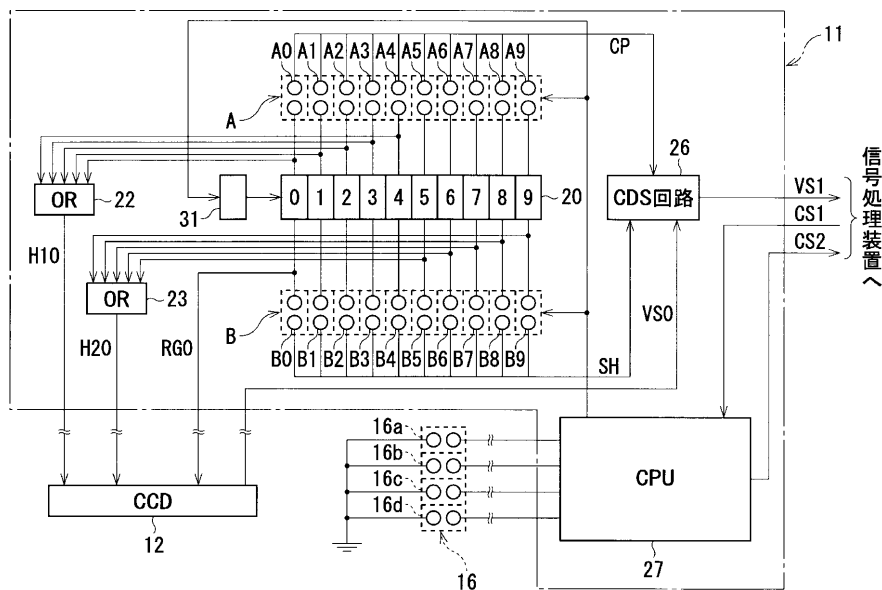
【図1】



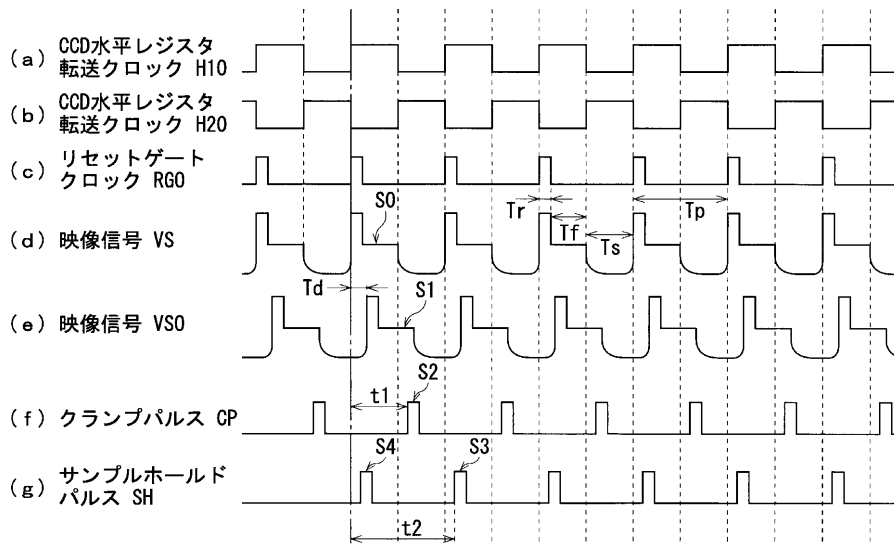
【図4】



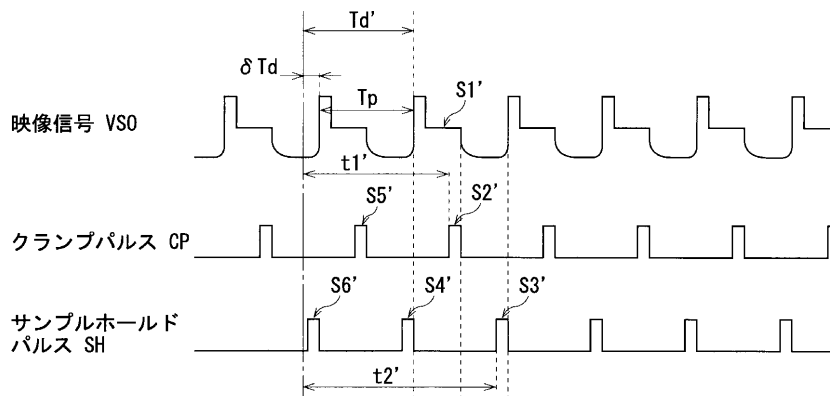
【図2】



【図3】



【図5】



フロントページの続き

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テ-マコード <sup>*</sup> (参考)
H 0 4 N	5/232	H 0 4 N	Z
	5/335		Z
			P

F タ-ム(参考) 2H040 BA00 DA21 GA02 GA11  
 4C061 CC06 JJ18 LL01 MM02 NN01  
 SS05 UU09 YY14  
 5C020 AA01 BA04 CA13  
 5C022 AA09 AB64 AC42 AC65 AC69  
 5C024 BX02 CX08 GY01 HX09 HX12  
 HX13 HX15 JX21

专利名称(译)	电子内窥镜的视频信号采样脉冲发生器		
公开(公告)号	<a href="#">JP2001340291A</a>	公开(公告)日	2001-12-11
申请号	JP2000165579	申请日	2000-06-02
[标]申请(专利权)人(译)	旭光学工业株式会社		
申请(专利权)人(译)	旭光学工业株式会社		
[标]发明人	高見敏		
发明人	高見 敏		
IPC分类号	G02B23/24 A61B1/04 H04N5/04 H04N5/225 H04N5/232 H04N5/335 H04N5/341 H04N5/357 H04N5/363 H04N5/372 H04N5/378		
FI分类号	A61B1/04.362.J A61B1/04.372 G02B23/24.B H04N5/04.Z H04N5/225.C H04N5/232.Z H04N5/335.Z H04N5/335.P A61B1/00.680 A61B1/04.530 A61B1/045.631 A61B1/05 H04N5/225 H04N5/232 H04N5/335.410 H04N5/335.570 H04N5/335.630 H04N5/335.720 H04N5/335.780 H04N5/341 H04N5/357 H04N5/357.500 H04N5/363 H04N5/372 H04N5/378		
F-TERM分类号	2H040/BA00 2H040/DA21 2H040/GA02 2H040/GA11 4C061/CC06 4C061/JJ18 4C061/LL01 4C061/MM02 4C061/NN01 4C061/SS05 4C061/UU09 4C061/YY14 5C020/AA01 5C020/BA04 5C020/CA13 5C022/AA09 5C022/AB64 5C022/AC42 5C022/AC65 5C022/AC69 5C024/BX02 5C024/CX08 5C024/GY01 5C024/HX09 5C024/HX12 5C024/HX13 5C024/HX15 5C024/JX21 4C161/CC06 4C161/JJ18 4C161/LL01 4C161/MM02 4C161/NN01 4C161/SS05 4C161/UU09 4C161/YY14 5C122/DA26 5C122/EA42 5C122/EA54 5C122/FC01 5C122/FC17 5C122/FG15 5C122/FK23 5C122/FL05 5C122/GE20 5C122/GE26 5C122/HA50 5C122/HA52 5C122/HB02		
代理人(译)	松浦 孝		
其他公开文献	JP2001340291A5		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

解决的问题：产生采样脉冲，该采样脉冲总是在具有不同长度的插入部分的电子内窥镜中以适当的定时执行采样。来自时钟31的时钟脉冲输入到移位计数器20，并且在0-9的值范围内被循环地重复计数。开关组A和B的开关A0至A9和B0至B9连接到与各个系数值0至9相对应的端子。开关组A和B的开/关是根据4位数据设置的，具体取决于设置开关组16的开/关。开关组A连接到CDS电路26的钳位脉冲输入端子，并且开关组B连接到CDS电路26的采样保持输入端子。端子0至4和5至9的输出用作水平寄存器传输时钟H10和H20，端子0的输出用作复位门时钟RGO。根据计数值的信号仅输出到与移位计数器的每个计数值相对应的端子。

